

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

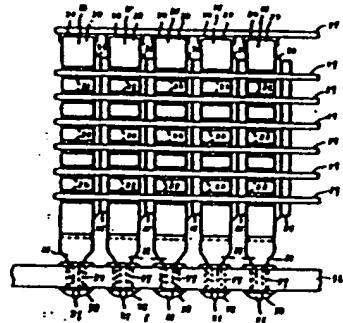
JA 0112348  
JUL 1983

## (54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (13) 4.7.1983 (19) JP  
(21) Appl. No. 56-211715 (22) 25.12.1981  
(71) FUJITSU K.K. (72) NOBUHIKO MIZUO  
(51) Int. Cl. H01L23/12, H01L23/48

**PURPOSE:** To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

**CONSTITUTION:** In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開

昭58-112348

⑫ Int. Cl.  
H 01 L 23/12  
23/48

識別記号

厅内整理番号  
7357-5F  
7357-5F

⑬ 公開 昭和58年(1983)7月4日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715  
⑯ 出 願 昭56(1981)12月25日  
⑰ 発明者 水尾允彦

川崎市中原区上小田中1015番地  
富士通株式会社内

⑱ 出願人 富士通株式会社  
川崎市中原区上小田中1015番地  
⑲ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

2. 半導体装置

3. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部導電端子を有し、他の外部側面に被覆状の外部導電端子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

4. 発明の詳細な説明

5. 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体メモリチップがチップ・キャリアに実装された半導体装置に於ける外部導電端子の構成に関するものである。

6. 技術の背景

計算機システム等の大規模化に伴い、微計算機システムに搭載される半導体メモリチップ等の半導体装置(=L.C.)の数は非常に膨大となつてゐており、このことはシステムの大規模化を難しく

それに伴ってシステム内の配線長が長くなり計算速度の低下を招く。そこで、計算機システム等に対する半導体ICチップの実装密度を高めシステムの大規模化を抑える手段として提供されたのが、チップ・キャリア実装構造の半導体IC装置である。

7. 従来技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体IC装置に於ける一例の断面図①及び底面図②を示したものである。そして断面に於て1はセラミック基板、2はセラミック枠、3は表面に金(Au)めっき等が施されたチップ・ステージ、4は長出部にAuめっき等が施されている内部配線、5は内部配線からそれぞれ底出されAuめっき等が施されている外部配線、6は外部配線がそれぞれ底面に底出され基板にAuめっき等が施された被覆状の外部端子、7はチップラウフ用メタライズ層、8は金属キャップ、9は銀(Ag)合金等のろう材。

表面に接觸することが可能な構造を有するタップ。

・キャリア実験の半導体装置を提供し、実験費を向上せしめることを目的とする。

#### (a) 発明の構成

本発明は半導体装置に於て、半導体タップが、一外部表面にピン状の導電端子を有し他の外部表面に被覆状の導電端子を有するタップ・キャリアに実装されてなることを特徴とする。

#### (b) 発明の実施例

以下本発明を、半導体メモリ装置に於ける一実施例について、図3に示す上面図(1)、側面図(4)、A-A'矢状断面図(1)、下面図(2)、及び図4に示す実装方法に於ける一実施例の上面図(1)、側面図(2)を用いて詳細に説明する。

本発明を適用した半導体メモリ装置は、例えば図3(1)、(4)、(2)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配置され、他の三側面に所要数の被覆状外部導電端子22が配置されたセラミック・タップ・キャリア23内に半導体メモリ・タップ24が実装され、且つ

本発明は半導体装置に於て、半導体タップが、一外部表面にピン状の導電端子を有し他の外部表面に被覆状の導電端子を有するタップ・キャリアに実装されてなることを特徴とする。

本発明を適用した半導体メモリ装置は、例えば図3(1)、(4)、(2)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配置され、他の三側面に所要数の被覆状外部導電端子22が配置されたセラミック・タップ・キャリア23内に半導体メモリ・タップ24が実装され、且つ

本発明を適用した半導体メモリ装置は、例えば図3(1)、(4)、(2)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配置され、他の三側面に所要数の被覆状外部導電端子22が配置されたセラミック・タップ・キャリア23内に半導体メモリ・タップ24が実装され、且つ

10は半導体ICタップ、11はパンディング・ワイヤード、12はアルミニウム(Al)等のパンディング・ワイヤー、13は金(Al)／シリコン(81)層を示している。

このよう前記を有する発明のタップ・キャリアに実装された半導体IC装置は、計算機システム等に配設される記憶基板に対して底面を下にして水平に(平田)実装される。その実装状態を示したのが図2で、図中14は前記タップ・キャリア実装装置の半導体IC装置、15はセラミック成形あるいはプラスチックにより形成された記憶基板、16は配線パターン、17は前記外部端子、18は半田等のろう材を表わしている。

上記のように発明のタップ・キャリア実装装置の半導体IC装置に於ては記憶基板に対して平田実装がなされるために、タップ・キャリアの平田板によって実装密度が制限され更に実装密度を高めることができなかつた。

#### (c) 発明の目的

本発明は上記問題点に鑑み、記憶基板に対して

タップ・キャリア23上に例えば金具キャップ25が固定されてなっている。また前記タップ・キャリア23に於けるピン状外部導電端子21は、通常構造の内部配線26からタップ・キャリア23の一側面に延出された外部配線27上に銅／ニッケル合金等通常の端子材料からなる例えはピン状打抜き加工片が後ろ28等によりろう付けされて形成され、又被覆状外部導電端子22は内部配線26からタップ・キャリア23の他記以外の三側面に延出された外部配線27上に金めっき等が施されて形成される。そして半導体メモリ・タップ24は通常構造のタップ・スチージ29上に金／シリコン合金30等を介してろう付けされ、例えは該半導体メモリ・タップ24のタップ部分のセレクト端子等タップ固有の信号が記載されるパッド端子31とピン状外部導電端子に接続する内部配線26とがアルミニウム等のパンディング・ワイヤー32により形成される。又入出力端子、電極端子等各メモリ・タップに対して共通に記載されるパッド端子31と被覆状外部導電端子22

に接続する内部配線26とがパンディング・ワイヤー32により接続される。本発明の構成に於ては、通常とのようピン状外部導電端子21をタップ・セレクト端子等各メモリ装置に固有を有する端子とし、被覆状外部導電端子22を入出力端子成る例えは電極端子等各メモリ装置に対する共通信号の端子とする。そして上記のように半導体メモリ・タップ24が実装されたタップ・キャリア23の上面に形成されている通常構造の制止枠33上に銅／ニッケル合金等のろう材34を介して金具キャップ25が気密にろう付けされてなっている。

本発明の構成を有する半導体装置は該半導体装置に配設されたピン状外部導電端子を介して記憶基板上に立てて実装することができる。

図4は前記実施例に示した半導体メモリ装置の実装例を図示したもので、図中21はピン状外部導電端子(脚有り端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・タップ・キャリア、24は金具キャップ、34はろう材、35は半導体メモリ装置、36は

代理人 介理士

## (1) 発明の効果

以上説明したように本発明の構造を有する半導体装置は、記憶基板上に立てて実装することができる。そこで第4図に示すような記憶基板上への実装方法が可能であり、図からも明らかのように従来の平田実装構造に比べて実装密度を大幅に向上せしめることができる。

従って本発明は計算機システム等の高密度化、小型化に対して有効である。

## 4. 図面の簡単な説明

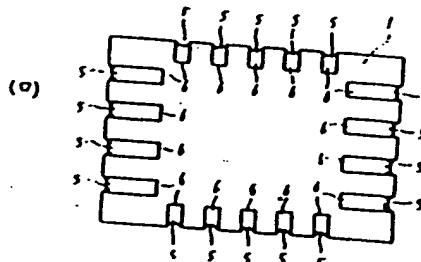
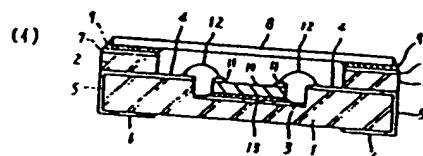
第1図は従来構造の断面図(1)及び下面図(2)、第2図は従来の実装構造の断面構成図、第3図は本発明の半導体装置に於ける一実装例の上面図(1)、下面図(2)、及び第4図に於ける実装例の上面図(1)、下面図(2)、及び第5図に於ける実装例の上面図(1)、下面図(2)である。

図に於ける、21はビン状外部導電端子を2本設けたが、該端子は必要に応じ何本でもさしつかえない。又該ビン状外部導電端子は構造上一端がキャリア内に埋め込まれて形成されたものでも良い。又キャップはセラミックスであって良い。更に又本発明は金属パッケージ、プラスチックパッケージにも適用することができる。

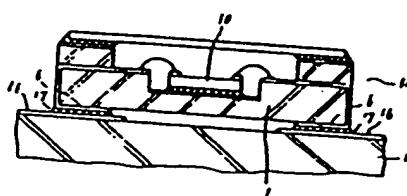
6. ガバインディング・ワイヤー、本発明の構造に於けるビン状外部導電端子21を介して各ノモリ装置に固有を有する導電端子22を入出力端子23ノモリ装置に対する共通導線として上記のようない半導体ノモリ装置されたキャップ・キャリア23による通常構造の封止枠33上に、封34を介して金属キャップ44が設けられておる。

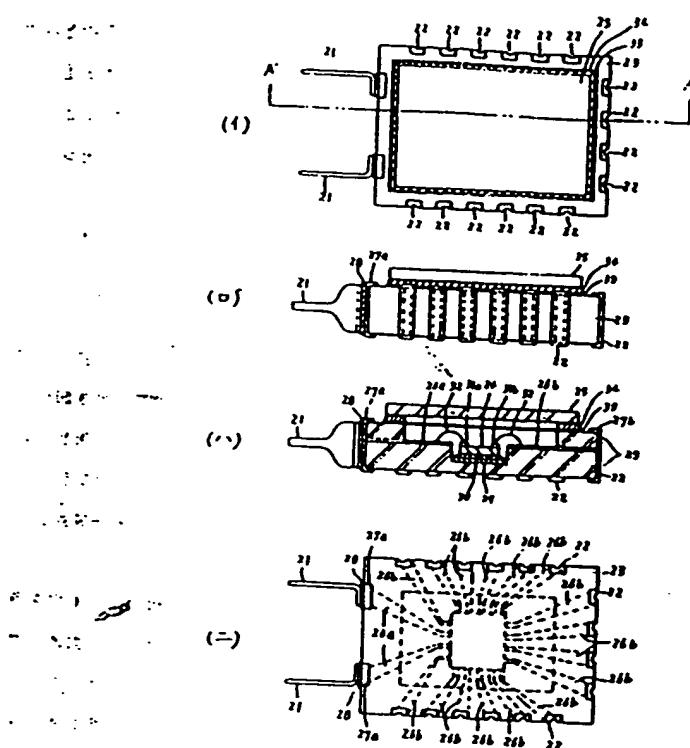
代理人弁理士 松岡 実四郎  
公認特許士

第1図



第2図





第 4 团

